

1. Objetivo General del Proyecto

Crear un entorno 3D interactivo que permita a los usuarios construir y simular circuitos básicos orientados a FPGAs, comenzando con el modelo Cyclone IV de Altera, con la capacidad de agregar más modelos en el futuro. El sistema busca ofrecer una alternativa económica y accesible para prácticas educativas, donde el usuario pueda construir circuitos básicos en 3D sin la necesidad de comprar una FPGA física, facilitando así el aprendizaje de VHDL y el uso de FPGAs a nivel académico.

2. Descripción General del Proyecto

El entorno permitirá a los usuarios diseñar circuitos básicos que interactúan con componentes como LEDs, botones, switches, matrices RGB, teclados matriciales, displays LCD, entre otros. No será un simulador de circuitos en el sentido tradicional, sino un espacio donde se visualizará y se realizará la construcción y programación de circuitos orientados a FPGAs, con un enfoque en la emulación de la construcción física y la depuración del código VHDL.

El sistema contará con un Debugger especializado para VHDL que permitirá evaluar en tiempo real el comportamiento del código en el entorno 3D, facilitando el troubleshooting de los proyectos. Esto hará que el usuario pueda visualizar el estado de las variables, entender errores de lógica y ver cómo se comporta el circuito sin necesidad de una FPGA física.

3. Alcances del Proyecto

El proyecto tiene dos enfoques: un alcance primordial que será la base funcional del proyecto y un alcance adicional que se desarrollará si se cumplen los objetivos primarios y existe la disponibilidad de tiempo y recursos.

Alcance Primordial:

- **Simulación 3D de Circuitos para FPGA Cyclone IV:**
 - Permitir la construcción de circuitos básicos conectando componentes como LEDs, botones, switches, resistores, displays LCD, matrices RGB, etc.
 - Enfocar la simulación en la visualización de la estructura del circuito más que en la simulación eléctrica detallada.
- **Debugger para VHDL (y posible extensión a Verilog):**
 - Visualizar y analizar el comportamiento en tiempo real de las variables y el estado del código.
 - Proveer herramientas de troubleshooting para facilitar la comprensión de VHDL en proyectos de FPGA.
- **Objetivo Académico:**
 - Proveer una herramienta para prácticas y proyectos académicos que facilite la accesibilidad al aprendizaje de FPGA sin necesidad de adquirir hardware físico.

Alcance Adicional (Deseables):

1. **Modelo de Lenguaje para Asistencia en Depuración:**

- Integrar un módulo que actúe como asistente durante la depuración, analizando el comportamiento en tiempo real y ofreciendo explicaciones sobre el valor de variables, sugiriendo soluciones y anticipando posibles resultados.
2. **Módulo de Enseñanza:**
 - Un asistente educativo interactivo que ofrezca guías y lecciones personalizadas sobre programación en VHDL, diseño de circuitos, etc., con capacidad para resolver dudas concretas y proponer ejemplos prácticos. La idea es que sea una herramienta de enseñanza, separada del asistente de depuración.
 3. **Generación de Circuitos Mediante Prompts:**
 - Implementar un generador de circuitos 3D que responda a instrucciones de diseño detalladas mediante texto (prompts), permitiendo al usuario describir el circuito deseado y que el sistema lo construya automáticamente. Este generador incluirá una biblioteca de componentes estándar y la capacidad de crear componentes personalizados bajo demanda.

4. Metodología de Implementación

El desarrollo se abordará de manera modular y escalonada, priorizando la funcionalidad esencial del entorno de simulación 3D y el debugger para VHDL. La metodología de implementación incluye:

1. **Investigación y Definición de Requisitos:**
 - Análisis detallado de los componentes necesarios para los circuitos básicos orientados a la Cyclone IV.
 - Requisitos para el entorno gráfico y el sistema de depuración en tiempo real.
2. **Desarrollo del Entorno 3D:**
 - Creación de la interfaz gráfica en 3D donde se puedan visualizar y conectar componentes.
 - Programación de la lógica que permita la interacción entre los componentes y el FPGA virtual.
3. **Desarrollo del Debugger VHDL:**
 - Construcción de un depurador que permita evaluar la ejecución de código VHDL en tiempo real, mostrando los valores de las variables y estados del circuito.
4. **Módulos Adicionales (deseables):**
 - Si se cumplen los objetivos iniciales, se desarrollarán los módulos de lenguaje de soporte, enseñanza y generación de circuitos mediante prompts, priorizando en ese orden.

5. Resultados Esperados

Al finalizar, se espera que el proyecto permita a los usuarios:

- **Construir y visualizar circuitos** básicos en un entorno 3D, interactuando con una variedad de componentes.
- **Simular la lógica y el funcionamiento de FPGAs** (enfocándose en el modelo Cyclone IV inicialmente).

- **Depurar código VHDL** de manera interactiva, facilitando el aprendizaje y la detección de errores en tiempo real.
- **Facilitar la educación en FPGAs** sin la necesidad de inversión en hardware, ofreciendo un enfoque práctico y accesible.

6. Conclusión

Este proyecto busca ser una herramienta didáctica para el aprendizaje de FPGA y VHDL, permitiendo prácticas académicas accesibles sin necesidad de hardware físico. La simulación y depuración en 3D facilitarán la comprensión de la lógica de circuitos y la programación en VHDL, aportando una solución educativa completa.

Los módulos adicionales enriquecerán aún más la experiencia, permitiendo asistencia avanzada en depuración, aprendizaje y creación de circuitos mediante prompts, sumando así valor académico y práctico al proyecto.